

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274376

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H01L 33/00
H01S 3/18
// H01L 29/88

(21)Application number : 08-057877

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 14.03.1996

(72)Inventor : BROWKAERT TOM P E
FRAZIER GARY A

(30)Priority

Priority number : 95 404809

Priority date : 15.03.1995

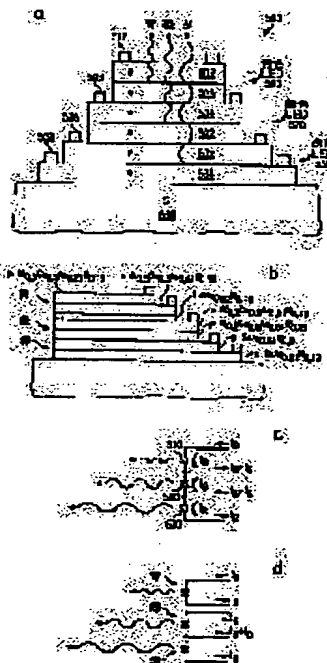
Priority country : US

(54) III-V SEMICONDUCTOR EMITTER GRID-MATCHED TO SILICON

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a multicolor light emitting device which can be integrated with a silicon device.

SOLUTION: A stack 500 of three LEDs 510-520-530 which radiates blue, green and red light provides pixels for a full color display with LED including a nitride III-V compound semiconductor material grid-matched to silicon and formed on a silicon substrate 540. The signal processing circuit of silicon and an LED driver circuit can be formed on the silicon substrate to provide a system incorporating everything in spite of being small. As a lens eye is mounted on the full color display, a display system of simplicity and high resolution is obtained by the combination of the display and the lens eye arranged extremely near observer's eyes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274376

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00			H 0 1 L 33/00	F
H 0 1 S 3/18			H 0 1 S 3/18	
// H 0 1 L 29/88			H 0 1 L 29/88	S

審査請求 未請求 請求項の数 1 O L (全 19 頁)

(21) 出願番号 特願平8-57877

(22) 出願日 平成8年(1996)3月14日

(31) 優先権主張番号 4 0 4 8 0 9

(32) 優先日 1995年3月15日

(33) 優先権主張国 米国 (U S)

(71) 出願人 5900000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 トム ビー. イー. プロエカエルト

アメリカ合衆国テキサス州ダラス, マーク
ビル ドライブ 9010

(72) 発明者 ゲイリー エイ. フラジアー

アメリカ合衆国テキサス州ガーランド, イ
ースト アポロ ロード 106

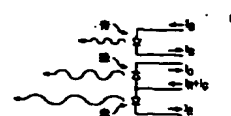
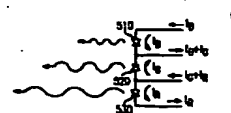
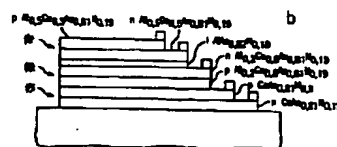
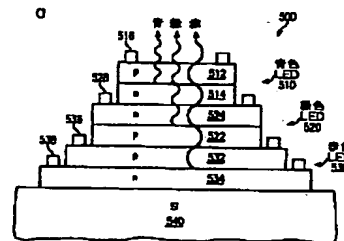
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 シリコンに格子整合した I I I - V 化合物半導体エミッター

(57) 【要約】

【課題】 シリコンデバイスと集積できる多色発光デバイスを得る。

【解決手段】 青、緑、および赤の光を放射する3個のLED (510-520-530) のスタック (500) が、シリコンに格子整合し、シリコン基板 (540) の上に形成された窒化 I I I - V 化合物半導体材料を含むLEDを備えたフルカラーディスプレイ用の画素を提供する。シリコンの信号処理およびLEDドライバーの回路を同じシリコン基板上に作製することができ、それにより小型ですべてを内蔵したシステムが提供される。前記フルカラーディスプレイ上にレンズアレイを搭載することができ、観察者の目に極く接近して配置されたディスプレイとレンズアレイとの組み合わせによって単純で高分解能のディスプレイシステムが得られる。



【特許請求の範囲】

【請求項1】 多色エミッターであって、

(a) 第1の色の光に対応するバンドギャップエネルギーを備えた第1の半導体材料を含む第1の接合、

(b) 第2の色の光に対応するバンドギャップエネルギーを備えた第2の半導体材料を含み、前記第1の接合を覆う第2の接合であって、前記第2の半導体材料の格子が前記第1の半導体材料に整合しており、また前記第2の半導体材料のバンドギャップエネルギーが前記第1の半導体材料のそれよりも大きいものである、第2の接合、および

(c) 前記第1および第2の接合への電気的接続、を含むエミッター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子デバイスに関するものであり、更に詳細にはシリコンに対して格子整合したIII-V化合物半導体材料（周期律表のIII族元素とV族元素との化合物）を含むデバイスおよびシステムに関する。

【0002】

【従来の技術】 高性能なトランジスタおよび集積回路特性に対する絶え間のない要求の結果、シリコンバイポーラトランジスタやCMOSTランジスタおよびガリウム砒素MESFETのような既存のデバイスの進歩の他に、新しい型や材料のデバイスが生まれてきた。特に、高周波特性を向上させるためのデバイス寸法の縮小の結果、電位障壁を通り抜けてキャリアがトンネリングするような量子力学的な効果が観測されるようになった。このことは、そのようなトンネリング現象を利用した共鳴トンネリングダイオードや共鳴トンネリングホットエレクトロントランジスタといった新しい種類のデバイスへとつながってきた。

【0003】

【発明の解決しようとする課題】 半導体発光ダイオードおよびレーザーは、クロストークがなく広い帯域幅の、信号変調のための搬送波を提供する光という利点のために、通信システムでは極く一般的なものとなってきた。波長1.55 μm の光を利用する赤外レーザーはInP基板上的Ga_xIn_{1-x}As_yP_{1-y}-InPのような材料系を利用し、また、可視光の発光ダイオードはGaAsまたはGaP基板上的GaAs_yP_{1-y}のような材料系を利用するのが普通である。これはまた、Al_xGa_{1-x}As-GaAs材料系を含むようなヘテロ接合バイポーラトランジスタも可能とする。しかし、これらの材料は結晶格子の不整合のために、シリコン集積回路へ組み込むことが容易でない。

【0004】 青色および紫外光の半導体エミッターにはバンドギャップの大きい材料が必要であり、各種の材料について検討がなされてきた。例えば、J. Vac. S

ci. Tech. Bの第B-10巻（1992年）の頁1237に発表されたストライト（Strite）およびモルコス（Morkoc）による論文、“レビュー：Ga_{0.92}As_{0.08}、Al_{0.85}As_{0.15}およびそれらの混合物を含んでいるが、これらはいずれもGa_{0.92}As_{0.08}やAl_{0.85}As_{0.15}のようなウルツ鉱結晶構造のZnOと格子整合する。図面にはZnO上のGa_{0.91}P_{0.09}とAl_{0.12}Ga_{0.88}N_{0.90}P_{0.10}とが開示されている。

【0005】 欧州特許出願第0 487 823 A2号（1992年）はZnO基板上的III-V化合物半導体レーザーを開示しており、その半導体としてはGa_{0.92}As_{0.08}、Al_{0.85}As_{0.15}およびそれらの混合物を含んでいるが、これらはいずれもGa_{0.92}As_{0.08}やAl_{0.85}As_{0.15}のようなウルツ鉱結晶構造のZnOと格子整合する。図面にはZnO上のGa_{0.91}P_{0.09}とAl_{0.12}Ga_{0.88}N_{0.90}P_{0.10}とが開示されている。

【0006】 同様に、欧州特許出願第0 395 392 A2（1990年）はGaP、SiC、およびBPのような基板上的III-V化合物半導体レーザーを開示している。その半導体はGa_xAl_{1-x}NとBPとの超格子か、あるいはGa_xAl_yB_{1-x-y}N_zP_{1-z}のような五元化合物のいずれかであり、後者の例としてはGa_{0.2}Al_{0.3}B_{0.5}N_{0.5}P_{0.5}、Ga_{0.25}Al_{0.25}B_{0.5}N_{0.5}P_{0.5}、およびGa_{0.4}Al_{0.1}B_{0.5}N_{0.5}P_{0.5}が挙げられている。

【0007】 共鳴トンネリングダイオードは2端子デバイスであって、伝導キャリアが電位障壁を通り抜けてトンネリングすることによって、負の微分抵抗を示す部分を有する電流-電圧曲線を実現する。もともとのエサキダイオードは高濃度にドーブされたPN接合ダイオード中でのバンド間トンネリング（すなわち、伝導帯から価電子帯へ）を利用していることを思い出されたい。新しい共鳴トンネリングダイオード構造は単一バンド中で量子井戸を通り抜ける共鳴トンネリングを利用している。AlGaAs/GaAs量子井戸を示す図1を参照。更に、J. Vac. Sci. Tech. Bの第B-11巻（1993年）の頁965に発表されたマルス（Mars）等による論文、“AlAs/GaAs二重障壁共鳴トンネリングダイオードの再現性ある成長および応用（Reproducible Growth and Application of AlAs/GaAs Double Barrier Resonant Tunneling Diodes）”およびIEEE Elec. Dev. Lett. の第12巻（1991年）の頁480に発表されたオズベイ（Ozbay）等による論文、“110GHzモノリシック共鳴トンネリングダイオードのトリガー回路（110-GHz Monolithic Resonant-Tunneling-Diode Trigger Circuit）”、

はそれぞれGaAs構造中に埋め込まれたAlAsの2つのトンネリング障壁を利用して量子井戸共鳴トンネリングダイオードを構成している。この量子井戸は4.5nmの厚さで、1.7nmの厚さのトンネリング障壁でよい。図2は室温における電流-電圧特性を示している。このような共鳴トンネリング“ダイオード”が対称的であることに注意されたい。図3aに示すようなバイアス状態では、量子井戸中の離散的な電子準位（サブバンドの下端）はカソードの伝導帯下端と揃うことになり、それによって電子のトンネリングが容易に起こり、大電流が流れる。逆に、図3bに示すようなバイアス状態では、カソードの伝導帯が量子井戸レベルの中間に揃うことになって、トンネリングが抑制され、電流は少ない。ここでも、これらの材料はシリコンと格子整合せず、従って標準的なシリコン集積回路中へ組み込むことは容易でない。

【0008】

【課題を解決するための手段】本発明は、V族元素の1つとして窒素を含めることでシリコンと格子整合させたIII-V化合物半導体を含む可視光での光電子的なヘテロ接合デバイスを提供し、更に、シリコンと前記のような窒化III-V構造との両方を含み、メガネのように観察者の人が装着することのできるようなフルカラーのディスプレイおよび検出器を実現できる集積回路を提供する。窒化III-V化合物はまた、ガリウム砒素等のその他の基板材料に対しても格子整合させることができる。

【0009】このようなデバイスおよび材料は、標準的なシリコンと両立するプロセスで以て光電子的な共鳴トンネリングダイオードを作製することができ、従ってCMOSおよびバイポーラートランジスタのようなその他のシリコンデバイスと集積することができるという技術的な特長を有する。また、前記小型のディスプレイおよび検出器は人の目のそばに装着することを可能にする。

【0010】分かり易くするために図面は模式的なものとした。

【0011】

【発明の実施の形態】

窒化III-V構造の概説

III族元素としてアルミニウム(Al)、ガリウム(Ga)、およびインジウム(In)のうちから選び、V族元素として窒素(N)、砒素(As)、およびリン(P)のうちから選んで構成したIII-V化合物は多様な特性を示す。バンドギャップはInAsで0.36eV、AlNで約6eV；ウルツ鉱(AlN、GaN、InN)または閃亜鉛鉱形結晶構造；および格子定数はAlNで0.44nm、InAsで0.61nmである。9種類の2元化合物に関する格子定数(閃亜鉛鉱形)およびバンドギャップをシリコンに関する格子定数(0.54nm)およびバンドギャップ(1.1eV)

と一緒に示した図4を参照されたい。各III族元素についての3種類の化合物を線でつないで傾向を示している。シリコンと格子整合し、従ってシリコン基板上のシリコンデバイスと集積化できるようにするためには、3元または4元(あるいはそれ以上)のIII-V化合物は、2種類のV族元素のうち少なくとも1つとして窒素を含まなければならない。さもなければ格子定数がシリコンのそれを越えてしまう。

【0012】III族元素にはホウ素も含まれ、V族元素にはアンチモンも含まれるので、これらの元素を窒化III-V中へ置き換えて用いることができるが、シリコンと格子整合する光電子的材料として特別に有利な特徴をなんら提供しない。実際、アンチモン化合物はそれに対応する砒素化合物と比べてより大きな格子定数を有し、ホウ素化合物のBNやBAsも間接遷移型のバンドギャップを持つので、直接遷移型のバンドギャップを備える合金に対する代替とはならない。

【0013】図5aは、各種のIII-V化合物を含む3個の発光ダイオードのスタックであって、3色ディスプレイを構成する1つの画素として使用できるスタックの立面断面図を示している。一般に参照番号500で示したこのスタックは、シリコン基板540上に積重ねられた、金属ダイオードコンタクト516、528、536、および538を備えており、青色発光ダイオード(LED)510、緑色LED520、および赤色LED530を含んでいる。赤色LED530から放出される光子は青色LED510および緑色LED520を構成する材料のバンドギャップよりも小さいエネルギーを有している。従って、図5aの上方へ放出される赤色光子は吸収されることなくスタック500の最上部から外へ脱出できる。(しかし、下方へ放出された赤色光子は、シリコンの(間接遷移型)バンドギャップが光子エネルギーよりも小さいために、シリコンによって吸収されてしまう。)同様に、緑色LED520によって上方へ放出される光子は青色LED510を貫通してスタック500の最上部から外へ脱出する。もちろん、下方へ放出される緑色光子は赤色LED510を構成する材料によって吸収される。最後に、青色LED510によって上方へ放出される光子はスタック500の最上部から外へ脱出し、下方へ放出される青色光子は緑色LED520を構成する材料によって吸収されよう。

【0014】各画素は3原色のうちのすべての色、2つの色、あるいは1つの色をそれぞれに独立した可変強度で以て放出することができるし、あるいはすべての画素が全く放出しないようにもできる。図5cは、それぞれ青、緑、赤の放出強度を決める3つの独立した電流IB、IG、およびIRを用いた等価回路を示す。図6は画素500を採用して構成されたディスプレイ600の一部を切り取って示した鳥瞰図である。

【0015】図7a-bは、別の1つの3色スタックと

そのアレイとを示しており、そのスタックは差分的(differential)な放出のための差分的(differential)なLED寸法を備えている。

【0016】図8は図6のディスプレイを応用したヘッドアップディスプレイを示している。特に、各スタック500の面内寸法は $10\mu\text{m} \times 10\mu\text{m}$ である。そのような面内寸法を有する画素を1000個 \times 1000個並べたアレイを含むディスプレイは、ほんの $1\text{cm} \times 1\text{cm}$ の寸法にしかならず、図8の立面断面図に示したのと同じように、ほとんどメガネと同じように目の前に直接装着することができよう。レンズアレイ810がディスプレイ600のLEDから発散する光を集束させて、観察者830に対して無限遠に見かけの像を与える。ディスプレイドライバーおよびイメージ信号発生器820はLEDアレイと同じシリコンダイの上へ集積することができる。外部の電子機器(例えば、観察者830のコートのポケットの中)への電気的臍帯(umbilical)コードが電力と信号の両方を提供することができ、あるいは無線周波リンクによって、これも観察者830のポケットにある送信機からのイメージ信号(そして多分電力も)を提供することができ、あるいはまたイメージ信号をドライバー/発生器820の一部であり、電力用の電池を備えたメモリ中に蓄えることができる。レンズアレイ810は画素の上に直接形成されたマイクロレンズのアレイでよいが、そうでなければLEDダイへ取り付けられたモノリシックなアレイでもよい。

【0017】更に、図8のようなディスプレイは赤外イメージャー(例えば、 λ を約0.2および0.3とした時、 $\text{Hg}1-\lambda\text{Cd}\lambda\text{Te}$ のような材料を含む2色赤外CCD)と組み合わせ、赤外シーンを検出することと、そのイメージを可視の色へ変換することの両方を行うことができる。図9a-bは、入力レンズアレイ、CCDイメージャー、フルカラーLEDディスプレイ、および出力レンズアレイを層状に組み合わせた検出器-ディスプレイ900を図解的に示してある。CCDイメージャーからの信号はCCDあるいはLEDアレイと同じダイ上にある回路によって処理されて、LEDディスプレイを駆動するために使用される。後出の応用のセクションでこの検出器-ディスプレイおよびその他の実施例について詳細に説明する。

【0018】スタック中に配置されたこれらの3色材料はまた、層状チャンネルのCCD中へ配置して、それによってフィルターを無くすることもできる。しかし、電極構造がより厄介になる。CCDとして使用する場合には、pn接合検出器が逆にディスプレイLEDのようになる。

【0019】シリコン格子に整合した窒化III-V化合物はまた、シリコン集積回路上へ組み込まれた共鳴トンネリングダイオード、共鳴トンネリングトランジスタ、およびヘテロ接合バイポーラートランジスタ中に用

いることができる。特に、トンネリング障壁の高さはバンドギャップの広い材料(例えば、 AlAsN)とバンドギャップの狭い材料(例えば、 InGaAsN)とを合金化することによって調節でき、一方量子井戸やアノードおよびカソード、あるいはエミッターおよびコレクターはバンドギャップの狭い材料とすることができる。

【0020】

【実施例】

LEDスタック

$\text{GaAs}0.81\text{N}0.19$ および $\text{AlAs}0.82\text{N}0.18$ はいずれもシリコンの格子(格子定数 0.357nm)に整合した格子定数を有し、それぞれ直接遷移型の約 1.9eV (赤い光)と間接遷移型の約 3.6eV (近紫外)のバンドギャップを有する。従って、これらの2つの3元化合物を合金化することによって得られる4元化合物は、格子をシリコンに整合させることができ、 1.9eV から 3.6eV の間のすべてのバンドギャップを持つことができる。そしてバンドギャップは約 3.0eV 以上のエネルギーに対しては直接遷移型である。

【0021】図5aのスタック500に関して、青色LED510は、約 2.6eV (青い光)のバンドギャップを有する $\text{Al}0.5\text{Ga}0.5\text{As}0.81\text{N}0.19$ のp形層512とn形層514とを含む。緑色LED520は約 2.2eV (緑の光)のバンドギャップを有する $\text{Al}0.2\text{Ga}0.8\text{As}0.81\text{N}0.19$ のp形層522とn形層524とを含む。そして、赤色LED530は約 1.9eV (赤い光)のバンドギャップを有する $\text{GaAs}0.81\text{N}0.19$ のp形層532とn形層534とを含む。スタック500は $10\mu\text{m} \times 10\mu\text{m}$ の面内寸法を有し、隣接するスタック間の空間にはLEDを励起するための電流を供給する導電性ラインが含まれている。図5cに示すような接続において、スタックを行、列の形に配置したアレイの中で、隣接スタック間には2本の導電性ラインと2本の列導電性ラインとが含まれている。後述のディスプレイ応用のセクションを参照されたい。

【0022】別のスタック構造においては、必要な電流を簡略化するために、付加的なコンタクトおよび相互接続という犠牲を払ってLEDを互いに分離している。特に、図5bは、青色LEDが緑色LEDから未ドープの $\text{AlAs}0.82\text{N}0.18$ 層によって分離されているが、コンタクトを5個含むLEDスタックの立面断面図を示している。青色LEDのための個別のコンタクトは青電流を送信する。一方、赤および緑色LEDのアノードは共通コンタクト、一般にアースまたはV_{SUPPLY}用の電力プレーンまたはバスを有し、それは赤と緑の電流の和を送信する。

【0023】更に別のスタック構造では、青色LEDと緑色LEDとの間、および赤色LEDと緑色LEDとの間の両方の分離のために未ドープの $\text{AlAs}0.82\text{N}0.18$ を使用する。このスタックは6個のコンタクトと3個の

独立したLED電流とを有する。

【0024】上述のスタックにおいて、アノードおよびカソードは切り替えることができ、電流の向きを逆にすることによっても同じ機能を保持することができる。

【0025】LED傾斜スタック

LEDスタック500を修正して、傾斜した表面を持たせて、緑と赤色の光を増やし、それによってLEDスタック内での散乱や吸収を補償するようにすることができる。特に、図7aは傾斜したLEDスタック700の立断面図を示し、それは、すべてAl_{0.3}Ga_{0.7}As_{0.81}N_{0.19}を含むp形層712、n形層714、およびn+行コンタクト層716を含む青色LED710；すべてAl_{0.2}Ga_{0.8}As_{0.81}N_{0.19}を含むp形層722、n形層724、およびn+行コンタクト層726を含む緑色LED720；そして、すべてGaAs_{0.81}N_{0.19}を含むp形層732、n形層734、およびn+行コンタクト層736を含む赤色LED730を含むものとなっている。緑色LED層722-724は青色LED層712-714の外側へ広がり、緑色と赤色の光だけが出てくるエリアを提供している。そして、赤色LED層732-734も緑色LED層722-724の外側へ広がり、赤色の光だけがでてくるエリアを提供している。図7bは画素のアレイの平面図で、各画素はスタック700を含んでおり、露出されたLEDにはラベルが付けられている。すなわち、Bは傾斜スタックの最上レベルであり、Gは次のレベル、そしてRは最も下のレベルである。また、図7bは行ライン（n+行導電性層へ接続する導体）および列ライン（LEDのp形層へ接続する導体）の配置も示している。

【0026】このアレイは、ブラウン管のラスタ走査と同じように、行画素を短時間だけ逐次駆動することでイメージを生成する。1つの行の画素を駆動するために、対応する行ラインをアースへつなぎ（その他のすべての行ラインは浮遊状態）、その行のLEDをターンオンさせるための適当な電圧／電流を列ラインへ供給し、所望の強度の光を放射させる。1つの行が駆動される頻度が1秒間に少なくとも約30回であれば、人間の目にはその行はちらつきの無いものとして見える。

【0027】多色LEDスタック

LEDスタック500を修正して、1色だけのもの、2色、4色あるいはそれ以上の数の色を持つものとするこ

とができる。特に、LED放射光の色の選択は材料のバンドギャップの設定に帰着し、色の数はスタック中のLEDの数に対応する。ただし、最も下のLEDから放射される光が上部のLEDを通過するようにするために、スタック中で上から下へ向かってバンドギャップが徐々に狭くならなければならない。傾斜したスタックはバンドギャップが順序通りになっていなくても利用できるが、下のLEDから放射される光が上に被さっているLEDによって部分的に吸収されることに伴う効率の低下が生ずる。

【0028】リン・窒化III-V

GaPもAlPもいずれもシリコンよりも少し大きい格子定数を持っており、従って、砒化・窒化物と同じように、リン化物と窒化物を組み合わせることでシリコンに格子整合させることができる。しかし、GaPのバンドギャップは2.26eVであり、シリコンに格子整合させるためにわずかな（およそ0.02）窒素を加えることは湾曲（bowing）によるバンドギャップのわずかな減少を起こす（およそ2.20eVへ）。そしてこのバンドギャップは緑と赤との中間の位置する。このように、3色すべてを実現するために、AlPNもInPNもどちらもGaPNと一緒に使用しなければならない。あるいは、AlP_{0.98}N_{0.02}とInP_{0.5}N_{0.5}だけを組み合わせることで3色すべてを得ることもできる。

【0029】LEDスタック作製

図10a-cはLEDスタック500のアレイを作製する第1の好適実施例の方法を示す立断面図であって、次の工程

【0030】（1）厚さが635μm（25ミル）で、直径が101.6mm（4インチ）の（100）または（111）面方位のp形シリコンウエハ1002からスタートする。ウエハ1002の一部に第1レベルの絶縁体を通してn形およびp形ウエルを形成し、次にCMOSデバイスを作成する。次に、ウエハ1002を分子ビームエピタキシー（MBE）成長炉に挿入し、ウエハ1002のその部分のCMOSデバイスからすべての自然酸化物を除去し、バッファ層としての未ドーブシリコン1004を0.5μmの厚さ、エピタキシャル成長させる。次に、窒化III-V層を成長させて、図10aに示されたような次の層状構造を得る。

層	材料	厚さ	ドーピング
青アノード	p Al _{0.5} Ga _{0.5} As _{0.81} N _{0.19}	200nm	1×10 ¹⁸
青カソード	n Al _{0.5} Ga _{0.5} As _{0.81} N _{0.19}	200nm	1×10 ¹⁸
緑カソード	n Al _{0.5} Ga _{0.5} As _{0.81} N _{0.19}	200nm	1×10 ¹⁸
緑アノード	p Al _{0.5} Ga _{0.5} As _{0.81} N _{0.19}	200nm	1×10 ¹⁸
赤アノード	p GaAs _{0.81} N _{0.19}	200nm	1×10 ¹⁸
赤カソード	n GaAs _{0.81} N _{0.19}	200nm	1×10 ¹⁸
バッファ	未ドーブSi	500nm	未ドーブ
基板	p Si	500μm	1×10 ¹⁶

これらの層には図10aに示すように番号が振ってある。アース面を設けるのであればパツファ層にドーピングを行うことができる(赤色LEDは絶縁層によって基板から分離する)。

【0031】(2) フォトレジストをスピン塗布し、それをパターニングして青色LEDの場所を定義する(あるいはディスプレイ画素としてのダイオードスタックアレイを作製するのであれば、前記フォトレジストパターンは青色LEDすべての場所を定義する)。普通は、青色LEDは丸いかあるいは四角いか、あるいは矩形の面内形状をしており、寸法は $5\mu\text{m} \times 5\mu\text{m}$ から $50\mu\text{m} \times 100\mu\text{m}$ までである。次に、硫酸と過酸化水素水の混合液中で時間を決めたエッチングを行って $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ $0.81\text{N}_{0.19}$ をエッチし、 n 形 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ $0.81\text{N}_{0.19}$ 1012 のところでエッチングを停止させる。このエッチングは青色LED層の材料をほんの約 $0.4\mu\text{m}$ 除去するだけで、湿式のエッチングの特徴である等方的なエッチングが引き起こす横方向への浸食の問題は生じないし、青色LEDメサはステップカバレッジの問題を呈しない。次にフォトレジストを剥離する。

【0032】(3) 側壁のパッシベーションと絶縁のために厚さ 100nm の窒化シリコン層1030を堆積させる。第2のフォトレジストをスピン塗布し、それをパターニングして緑色LEDの場所を定義する。次に、リン酸または塩素-フッ素プラズマによってパターン化されたフォトレジストをマスクにして窒化シリコンをエッチし、次に金属コンタクト528を堆積させ、フォトレジストをリフトオフする。1つのスタックと、その第1のスタックから約スタック1つ分だけ離れた所に位置する隣接スタックの一部を示す図10bを参照。

【0033】(4) フォトレジストをスピン塗布し、それをパターニングしてスタック間の窒化シリコン1030を露出させ、露出した窒化シリコンをリン酸またはフッ素のドライエッチングで除去する。次に、露出した $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ $0.81\text{N}_{0.19}$ を p 形 GaAs $0.81\text{N}_{0.19}$ 1008 のところでエッチし、フォトレジストを剥離する。金属528がエッチマスクの一部として機能し、自己整合した構造を提供することに注目されたい。図10cを参照。

【0034】(5) 別の厚さ 100nm の共形(conformal)の窒化シリコン層1032を堆積させる。これも側壁のパッシベーションと絶縁のためのものである。次に、フォトレジストのスピン塗布およびパターニングを行って、赤色LEDの場所を定義する。パターン化されたフォトレジストをエッチマスクとして使って露出した窒化シリコンを除去し、次に金属をスパッタし、フォトレジストをリフトオフして金属コンタクト536を形成する。図10bと似た図10dを参照。

【0035】(6) 再びフォトレジストをパターニングして、スタック間の窒化シリコンを露出させ、露出した

窒化シリコンを除去し、時間を決めたエッチングによって p 形 GaAs $0.81\text{N}_{0.19}$ 1008 を n 形 GaAs $0.81\text{N}_{0.19}$ のところでエッチする。第3の厚さ 100nm の窒化シリコン層1034を堆積させ、フォトレジストをスピン塗布する。フォトレジストをパターニングして、赤色LEDのカソードコンタクトと青色LEDのアノードコンタクトの場所を定義する。そして、パターン化されたフォトレジストをエッチマスクとして用い、露出した窒化シリコンを除去し、金属をスパッタしフォトレジストをリフトオフして金属コンタクト516、538を形成する。図10eを参照。

【0036】(7) フォトレジストのスピン塗布およびパターニングを行って、窒化シリコン層中へコンタクト528、536へのビアを定義し、更にスタックの周囲を定義する。次に、露出した窒化シリコンをエッチして、コンタクトおよび n 形 GaAs $0.81\text{N}_{0.19}$ 1006 を露出させる。金属コンタクトのところで止まるような選択性を有するエッチを使用して GaAs $0.81\text{N}_{0.19}$ 1006 をエッチングしてスタックを完成させる。スタックの上部にある窒化シリコンは1つのスタック中のLEDによって放射される3色すべてに対して透明であることに注意されたい。最後に、スタック間の空間に絶縁物(それは窒化シリコン、あるいは二酸化シリコン、またはポリイミド等)を備えた相互接続ラインが形成され、金属コンタクトへの接続が施される。LEDスタックを覆い、すべてを覆う窒化シリコン絶縁を示す図10fを参照。

【0037】窒化III-Vトンネリング障壁および量子井戸

図11は好適実施例の共鳴トンネリングダイオード(RTD)1100を立面断面図で示し、それはシリコンウエハ1102、 GaAs $0.81\text{N}_{0.19}$ エミッター(n +層1104および未ドープ層1106)、 AlAs $0.82\text{N}_{0.18}$ トンネリング障壁1108および1112、 InAs $0.41\text{N}_{0.59}$ 量子井戸1110、 GaAs $0.81\text{N}_{0.19}$ コレクター(n +層1116および未ドープ層1114)、および金属コンタクト1118、1120を含んでいる。 GaAsN 、 AlAsN 、そして InAsN はすべて閃亜鉛鉱の格子を持し、それはシリコンの格子に整合している。 AlAsN トンネリング障壁1108および1112はそれぞれ厚さ 2nm であり、 InAsN 量子井戸1110は厚さ 4nm であり、未ドープの部分1106と1114はそれぞれ GaAsN のエミッターとコレクターであって厚さは数 nm である。メサ1130は $20\mu\text{m} \times 20\mu\text{m}$ の面内寸法を持つ。

【0038】図12はダイオード1100に関するバンドダイアグラムであり、バンド端の不連続を示している。「点(結晶運動量は $(0, 0, 0) \cdot 2\pi/a$)に加えて、伝導帯のXおよびL点の電子エネルギー(結晶運動量は $(1, 0, 0) \cdot 2\pi/a$ と $(1/2, 1/2, 1$

／2) $2\pi/a$) が示されていることに注意。X、L点とΓ点との大きなエネルギーの差 (0.9 eV) は共鳴トンネリングダイオードが室温動作において低い谷電流と高いピーク対谷電流比とを持つことを示唆する。

【0039】図13はIII族元素としてAl、Ga、またはInを、V族元素としてAsまたはNを取り上げた時のIII-V化合物半導体に関するバンドギャップと格子定数を示している。これらの化合物間の合金でシリコンに対して格子整合するもののバンドギャップは約1.0 eV (InAs 0.41 N0.59) から約3.0 eV (Al0.8 Ga0.2 As0.8 N0.2) まで変化し、そしてそれらは直接遷移形材料である。このような広いバンドギャップの範囲は、モノリシックカラーディスプレイ、すべての可視波長のレーザー、等々の各種の光電子デバイスをシリコン上へ作製することを可能にする。

【0040】多様なダイオード1100においては、GaAsNのエミッターおよびコレクターをInAsNのエミッターおよびコレクターで置き換えることができ、そうすれば量子井戸とエミッターおよびコレクターをすべて同じ材料で構成することができるようになる。同様に、多様なダイオード1100においては、InAsN量子井戸をGaAsNで置き換えることができ、それにより、ここでもエミッターおよびコレクターと量子井戸とが同じ材料で構成できるようになる。それらの構造は数少ない材料を使用するので製造工程が簡略化できる。

【0041】一般に $In_x Al_{1-x} As_y N_{1-y}$ や $Al_x Ga_{1-x} As_y N_{1-y}$ のような4元のIII-V化合物を使用することで、シリコンとの格子整合を保ちつつ、バンドギャップを自由に設計することができる。

【0042】窒化III-Vとシリコンのトンネリング障壁および量子井戸

別の共鳴トンネリングダイオードの好適実施例1400ではシリコンの他に、量子井戸とトンネリング障壁のための、シリコンと格子整合したIII-V化合物半導体を使用している。特に図14は、InP0.5 N0.5 トンネリング障壁とともに、シリコンのエミッターおよびコレクターと量子井戸を含むダイオード1400を示している。図15はバンドダイアグラムである。シリコンの伝導帯の低エネルギーの谷はX点の近くにあるので、図15はL点およびΓ点のエネルギーの表示と一緒にX点エネルギーをも示している。1.1 eVというX点におけるバンド不連続は十分なトンネリング障壁高さを提供する。

【0043】多様なダイオード1400においては、AlAs0.82 N0.18のトンネリング障壁をInPNのトンネリング障壁で置き換えることができ、その場合不連続は1.3 eVとなる。更に、 $x=0.98$ とした時の、 $AlPx N_{1-x}$ および $GaPx N_{1-x}$ で構成される層をInPNの代わりに使用することができ、また組成変化

する歪み層を使用することもできる。

【0044】リン化合物添加

AlPおよびGaPはシリコンの格子定数に近いがわずかに大きい格子定数を有するので、AlPおよびまたはGaPを添加された、シリコンに格子整合する窒化III-V化合物は他の組成よりも窒素の割合が若干大きくなっていく。このため、バンドギャップの調節にはより厄介な材料処理を必要とすることになる。例えば、赤色LED材料のGaAs0.81 N0.19は約1.9 eVのバンドギャップを持ち、GaPは約2.3 eVのバンドギャップを持つため、シリコンに対して格子整合するようにこれらの材料をほぼ等分に混ぜ合わせた合金は、中間のバンドギャップを有し、ほぼGaAs0.39 N0.11 P0.5の組成を持つことになる。

【0045】その他の基板

シリコン (室温における格子定数は0.5431 nm) の格子定数に整合する窒化III-V化合物は、組成を少し変えることによって室温で0.5451 nmの格子定数を有するガリウムリン (GaP) に格子整合させることができる。図13によればNに対するAsの成分比をわずかに増加させれば十分であることが分かる。こうすれば、類似の共鳴トンネリング構造がGaP上でも利用できる。

【0046】同様に、シリコンカーバイド ($x=7/8$ または $3/4$ の時の $Si_x C_{1-x}$) のような基板もAsPNIII-V化合物と一緒に使用できる。

【0047】窒化III-V作製

共鳴トンネリングダイオード1100の作製は、単に各種の層を分子ビームエピタキシーで成長させて、その後コレクター金属コンタクトを形成し、メサエッチとエミッター金属コンタクトの形成を行うだけである。窒素源としては分子状の窒素を使用し、それはプラズマ中で分解して原子状の窒素ビームを供給する。その他の元素のソースは蒸発セル (effusion cell) である。同様に、ガリウムにはトリメチルガリウム、砒素には第三ブチルアルシン、リンには第三ブチルフォスフィン、そして原子状の窒素にはECRプラズマソースを用いた化学的ビームエピタキシーを膜成長のために使用することもできる。

【0048】もちろん、ダイオード1100は対称的であるから、エミッターとコレクターを区別する必要はない。しかし、格子整合した窒化III-V化合物は混合障壁ダイオード中の結晶性障壁にも使用できる。

【0049】多重ピーク共鳴

これまで述べた好適実施例の構造の上に更に、トンネリング障壁と量子井戸を成長させるだけで、単結晶コレクター実施例を直列多重量子井戸へ拡張して、多重共鳴ピークを有する共鳴トンネリングダイオードを形成することができる。量子井戸寸法のエミッター／コレクターを備えるため、そのような直列の多重量子井戸は超格子を

構成する。

【0050】RTD応用

これまで述べた共鳴トンネリングダイオードの任意のものはバイポーラートランジスタのエミッター中に組み込んで、共鳴トンネリングバイポーラートランジスタを形成することができる。

【0051】好適実施例のダイオードは図16a-cに示されたメモリセルのような各種の構造に組み込むことができる。特に、図16aはスタティックランダムアクセスメモリ(SRAM)セル1600を示しており、それは共鳴トンネリングダイオード(RTD)1602および1604を直列に(RTD1602がRTD1604に対する負荷になっている)含み、ワードライン1612上の電圧によって制御されるシリコン電界効果トランジスタのバスゲート1608によってビットライン1610へつながれている。セル1600のノード1606の双安定性は各RTDの谷電流よりもわずかに大きいところに設定されたバイアス電圧 V_{dd} によってもたらされ、そのため一方のRTDがその谷にある時に、他方のRTDが小さいバイアスで動作することになる。図16bは、各RTDが図2に示した特性を持つ時の、RTD1602-1604に関する重畳された電流-電圧曲線を示している。交点(一対は V_{dd} (高)に近いノード1606上の電圧のもの、別の一対はノード1606(低)のもの)は安定な直列動作点を示している。また、大きなドライバーによってノード1606ないしバスゲート1608へアクセスし、ノード1606を高、低いいずれかの状態へ強制的に駆動することはセル1600を所望の安定状態へ強制的に駆動することである。一方、バスゲート1608を介してノード1606へアクセスするセンス増幅器はセルの状態を損なうことなしに検出する。もちろん、図2に示したのよりも大きいRTDのピーク対谷の比であれば、ノード1606に対する高、低の安定電圧はそれぞれ V_{dd} 、0へより接近する。

【0052】図16cは単一のシリコン電界効果トランジスタと好適実施例のRTDを使用した図16aの構造の鳥瞰図を示す。電界効果トランジスタのドレインにおけるRTDの並列的な配置が、RTDの場所を定義するメサエッチによる同時作製を可能にすることに注意されたい。上述の共鳴トンネリング構造を標準的なシリコンデバイスと一緒に集積化することは、まず共鳴トンネリングプロセスを最初に施すか、あるいはシリコンデバイスの作製を最初に行うか、あるいはそれらを混ぜ合わせながら行うかのいずれかの方法で実現できる。デバイスの作製の後に、標準的な金属配線を行う。

【0053】ディスプレイ応用

図17aおよびbは画素アレイを含むディスプレイの一部分(3画素×3画素)の立面断面図および平面図であり、各画素は図5aまたは図10fに示したLEDスタ

ックであり、このほかに勾配のついた屈折率を有するレンズのアレイを含んでいる。これは図8のディスプレイおよびレンズアレイ用として使用できる。特に、図17aは3色LEDスタック1711-1713(窒化II-V化合物の接合でできている)とその上を覆う窒化シリコンの絶縁物1704とを備えたシリコン基板1702を示している。マイクロレンズアレイ1730は屈折率に勾配のついた(GRIN)マイクロレンズ1731-1733を含んでいる。GRINマイクロレンズは、リン等のドーパントをレンズの光軸(図17aでは、レンズ1731に対しては1741、レンズ1732に対しては1742、レンズ1733に対しては1743)に沿ってドーパント濃度が最大になるように、そして光軸に直交する方向ではドーパント濃度が減少していくように打ち込むことによって、ガラス(二酸化シリコン)膜中に形成される。このドーパントがガラスの屈折率を高め、それによってレンズが形成される。各マイクロレンズ1731-1733はそれぞれ対応する隣接画素1711-1713からの発散光を集束させる。この集束された画素光は、ディスプレイが観察者の目のレンズの寸法に近く、そして観察者がディスプレイの向こうに焦点を合わせる時に、観察者の網膜にイメージを結像する。このイメージの寸法は焦点距離に依存する。例えば、無限遠に焦点を合わせるとイメージは点になり、ディスプレイのすぐ後ろに焦点を合わせると視野のほとんどを占めることになる。

【0054】図18は集束された光がどのようにイメージを生成するかを示している。特に、目のレンズ1802は例示点A、B、およびCを含む面に焦点が合っている。実線および破線で示した光線は、網膜1804上のA'、B'、およびC'への集束によって、この焦点距離を示している。ディスプレイ1810は、実線のみで示された、例示画素A"、B"、およびC"からの集束された平行な光線を放射する。これら放射光線は点A、B、およびCから放出される光と同じ網膜エリアを刺激し、それらの点のイメージを生成する。

【0055】目のレンズ1802が無限遠に焦点が合っている時、レンズに入射する平行な光線は網膜1804上の1つの点へ収束するので、この場合ディスプレイ1810が無限遠の1つの点以上のものとして見えるためには、ディスプレイから放射される光線は平行であるべきでない。むしろ、GRINマイクロレンズは図19に示されたように、無限遠に焦点の合った目のレンズに対しては、横方向に離れた点からの光線の軸に沿うように傾いている。特に、目のレンズ1902が無限遠に焦点が合っている時、例示点A、B、およびCからの光線は網膜1904上のそれぞれA'、B'、およびC'に収束し、従って、ディスプレイ1910は例示画素A"、B"、およびC"から、わずかに収束するラインに沿って光を放射するマイクロレンズアレイを含む。画素から

の光線間の角度は見かけの像の寸法を決定する。

【0056】図20は3色LEDスタック2011-2012（窒化III-V化合物接合からできている）およびそれを覆う窒化シリコン絶縁物2004を備えたシリコン基板2002を立面断面図で示している。マイクロレンズアレイ2030はGRINマイクロレンズ2031-2032を含んでいる。このGRINマイクロレンズはリン等のドーパントを打ち込むことによって形成できるが、打ち込みビームの方向を膜上で変化させて、レンズの光軸（図20では、レンズ2031に対しては2041、レンズ2032に対しては2042）が表面に対して所望の角度を持つようにしている。比較的厚いレンズアレイ2010を得るためには、打ち込みは多重ガラス膜に対して多段階に分けて実施される。1つの膜に対して打ち込みを行った後に、別の膜（厚さは1-2 μ mオーダー）を堆積（酸化物マイクロレンズアレイの場合にはTEOS分解のように低温）させるか、あるいは付着させて、そして打ち込みを施す。このようにすれば、打ち込みビームを傾ける必要はなく、むしろ引き続く膜の上で打ち込み場所をずらしていけばよい。実際、単一の膜に対して、角度の付いた打ち込みを模擬するようにエネルギーを変えて多重打ち込みを実施した。図21は引き続く打ち込みによって場所がずれていくことによって光軸に角度が付いたマイクロレンズの一部を示している。水平方向のハッチの部分は打ち込まれた不純物を示している。画素の面内寸法は比較的大きい（例えば、10 μ m \times 10 μ m）ので、レンズ直径も大きくなり、打ち込みのための膜のマスクを使わないでパルス的なイオンビームを用いることができる。もっと精度を高くするためには、各膜の打ち込みをパターン化されたマスクを用いて行う。そうすればサブミクロンの精度が容易に達成できる。すべての堆積および打ち込みが終わった後に、不純物の分布を拡散させ、滑らかにするためのアニールを施す。

【0057】図22は、図9a-bに示したような検出器-ディスプレイの組み合わせに対するデータの流れを示している。CCD検出器2202はセルアレイ2204を含み、そのセルの各々はイメージングフェーズにおいて入射光束に比例する光電子を集める。出力シフトレジスター2206は、アレイ中のゲートをトグルする読み出しフェーズにおいてアレイを通してクロックダウン（clocked down）されることで、集められた光電子パケットの行を並列的に受信する。シフトレジスター2206は光電子パケットを出力センス増幅器2208へシフトし、ラスタ走査形式で入射光束に対応する逐次的なアナログ出力信号の流れを生成する。もし、CCDが1000 \times 1000のアレイで、1/50秒毎に1つのイメージフレーム（セルアレイ2204の全てのセルに対応する信号のセット）を出力すれば、シフトレジスター2206への光電子パケットのクロック

入力は約100kHzで行われることになり、シフトレジスター2206のデータ出力シフトは約100kHzで行われることになる。もちろん、もっと小型のアレイ、あるいはもっと遅いフレーム速度であれば、もっと遅いクロックおよびシフトレジスタが使用できる。

【0058】ディスプレイ2252は逐次的なアナログ出力信号の流れをCCD2202からバッファおよび信号処理器2230を経由して受信するシフトレジスター2256を含んでいる。シフトレジスター2256に、一旦、アレイ2204からの1行分のセルに対応する信号を与えられれば、それらの信号は並列的にシフトされて、列電流ドライバーをターンオンさせ、戻り電流を供給するようにディスプレイアレイ2254中の対応する行を駆動する。独立した色電流を備えた3色の場合、シフトレジスタ2256は3個の並列シフトレジスターを含み、それらはバッファおよび信号処理器2230から並列的に信号を与えられるか、あるいは逐次的な入力を受け取ってそれを3つの並列シフトレジスターへ分割する。駆動された行は3つの電流すべてに対する共通の戻りになる。符号化された電流（例えば図5a）を備えた3色の場合はより複雑な駆動が必要である。バッファおよび信号処理器はフレーム周期を均一に埋めるために、3色画素駆動のタイミングを分散させて、各々の画素行が1/50秒毎に、約1/50ミリ秒間だけターンオンするようにする。

【0059】要約すれば、3つの可能性がある。（1）高LED電流でデューティサイクルの低い場合は画素スキャンを行う、（2）中程度のLED電流で中程度のデューティサイクルの場合はラインスキャンを行う、そして、（3）小さいLED電流で高いデューティサイクル（100%）の場合は、各画素にアナログメモリとバッファ/増幅器を持たせたスタティックディスプレイを採用する。

【0060】図23は図22の検出器-ディスプレイの単一チップ版であるが、類似の要素に対しては同じ参照符号を使用している。これは、レジスター2206からの逐次的な出力シフトの代わりに並列的な信号転送を、また3色レジスター2256への逐次的なシフトの代わりに並列的な転送を可能にしている。検出器2204はCCD（バックサイド照明方式）を形成している狭いバンドギャップ（例えば、赤外に感度を持つ）の窒化III-V化合物であり、またディスプレイは既に述べたような可視光バンドギャップの窒化III-V化合物でよい。レジスターとバッファおよび信号処理器とはシリコン基板の下側に形成できる。

【0061】上述のディスプレイおよび検出器-ディスプレイのための電力は、メガネ型のホルダーの枠などのようなディスプレイホルダーに備えられた電池から取るか、あるいは観測者が運ぶことのできる大型電源への電力用臍帯線から取る。更に、検出器に受信されたイ

メージは、電気配線を経由するか、あるいは変調された無線周波によって遠隔のビデオ録画装置へ送信することもできる。この場合、ディスプレイはビデオ録画装置のビューファインダーとして機能し、可視光周波数を検出し、そして観察者は録画装置を運ぶ必要がない。要するに、バッファおよび信号処理器2230はビデオ信号の送信および受信のための入り口点を提供するわけである。図24はビデオ録画／再生装置、コンピューター、およびテレビを備えた無線周波リンクシステムを図解的に示している。

【0062】検出器なしのディスプレイの別の用途としては、電氣的臍帯コード、あるいは光ファイバー、または無線周波リンクを介して電力と一緒に信号を受信するようになったテレビ受信機、コンピューターモニター、あるいはビデオテープ／ディスク再生装置が含まれる。

【0063】観察者の両方の目にディスプレイを備えることは双眼鏡およびステレオディスプレイを提供することになる。更にそれら2つのディスプレイの色内容を変化させることによって立体視を与えることができる。同様に、多数の検出器を1つまたは複数個のディスプレイへつなぐことによって観察者は動くことなく多数の方向を逐次的に観察することができる。

【0064】最後に、3色LEDの一次元アレイはステレオ受信機信号強度、アナログ電圧計等の計測器のバグラフディスプレイに有用である。また単一画素の3色ディスプレイは玩具、信号インジケータ等に利用できる。

【0065】スタティックディスプレイ

LEDをシリコンと集積化することによってディスプレイをそのための制御メモリと一体化して瞬間的なスクリーン更新のできる100%のデューティサイクルを達成できる。特に、各画素は、そのLED電流（1つまたは複数）を図25a-dに示すような対応するメモリセルの状態によって直接的に制御される。図25aは、シリコンに格子整合したLED2506へ電流を供給する電流源FET2504のゲート電圧を駆動する一般的なアナログメモリセル2502を示している。

【0066】デジタルディスプレイのためには、このLEDはメモリセルデバイスの負荷でよく、コンパクトなメモリセルと画素との組み合わせを実現できる。図25bはそのようなメモリセルと画素との組み合わせ2520を示しており、そこには抵抗2524および共鳴トンネリングダイオード(RTD)2526と直列につながれたLED2522が含まれている。バストランジスタ2528はメモリセルの状態を切り替えることを許容する。RTD2526はRTD1100と類似のものでよい。図25cはメモリセルと画素との組み合わせ2520の動作を示しており、次のようになっている。RTD2526が小電流で高電圧状態の時、ノード2530は高電圧にあって、LED2522および抵抗2524の

両端には小さい電圧降下しかない。従ってLED2522の発光は無視できる。反対に、RTD2526が中間電圧、中間電流の状態の時、ノード2530は中間電圧へ下がり、従って抵抗2524およびLED2522を流れる電流は約5倍に増大する。従って、LED2522は目に見える強度の光を放射する。

【0067】図25dはDRAMセルと画素との組み合わせを示し、セルのコンデンサー2542およびFETのゲートに蓄えられた電荷がFET2544およびLED2546を流れる電流を制御し、従ってLED2546によって放射される光を制御する。バストランジスタ2548はコンデンサー2542および2544のゲートへの電荷の充、放電を許容し、従ってLED2546のオン／オフの切り替えを許容する。

【0068】検出器応用

感光素子等の窒化III-V化合物を含むCCD検出器は、絶縁物としての広バンドギャップ窒化III-V化合物が、ゲートとしてのドープされた中間バンドギャップ窒化III-Vを覆うような形に、3つのチャンネルを積み重ねた形に作製できる。図26はそのスタック構造を示し、図27は伝導帯下端のダイアグラムである。仮想フェーズ(virtual phase)CCDは単一ゲートのみを必要とし、引き続くゲートレベル間の電圧が電位井戸の深さを決定する。このCCDはフィルターなしで3色を提供でき、各画素は3色すべてを検出する。従って、色同士の間で空間的なオフセットを設ける必要がない。従って、カラーCCDカメラは3CCDカメラの位置合わせの問題がないし、フィルター付きの単一CCDカメラの補間の問題もない。

【0069】修正および特長

好適実施例は、(積層された)LED、ディスプレイおよび検出器、および共鳴トンネリング構造のためのシリコンと両立する窒化III-V化合物という特徴の1つまたはいくつかを保ちつつ、いろんなやり方で変更を加えることができる。

【0070】例えば、シリコンに格子整合する窒化III-V化合物のバンドギャップは組成を変えることによって制御することができる。また、格子定数もシリコン格子定数材料上へのエピタキシャルな歪み層によって変えることができる。格子の違いに依存して歪み層の厚さを変化させる。LEDスタックおよびトンネリング障壁および量子井戸(1個または複数)の寸法も変えることができる。LEDスタックは面積(画素の分解能を反映する)と高さ(横方向の抵抗を反映する)の両方で変化させることができる。トンネリング障壁はより大きい電流のためには薄くするし、トンネリング障壁は異なる厚さのものが可能である。また、量子井戸の厚さも共鳴レベルを上、下に調節するために変更することができる。

【0071】ディスプレイは、冷カソード放出を利用した電界放出ディスプレイのような任意の小さい画素ディ

スプレイでも構わない。

【0072】センサー要素は冷却されていないシリコンポロメーターアレイでもよいし、あるいはその他の光学的（可視または赤外）センサーでも構わない。

【0073】以上の説明に関して更に以下の項を開示する。

(1) 多色光エミッターであって、(a) 第1の色の光に対応するバンドギャップエネルギーを備えた第1の半導体材料を含む第1の接合、(b) 第2の色の光に対応するバンドギャップエネルギーを備えた第2の半導体材料を含み、前記第1の接合を覆う第2の接合であって、前記第2の半導体材料の格子が前記第1の半導体材料に整合しており、また前記第2の半導体材料のバンドギャップエネルギーが前記第1の半導体材料のそれよりも大きいものである、第2の接合、および(c) 前記第1および第2の接合への電気的接続、を含む光エミッター。

【0074】(2) 第1項記載の光エミッターであって、更に、(c) 第3の色の光に対応するバンドギャップエネルギーを備えた第3の半導体材料を含み、前記第2の接合を覆う第3の接合であって、前記第3の半導体材料の格子が前記第2の半導体材料に整合しており、また前記第3の半導体材料のバンドギャップエネルギーが前記第2の半導体材料のそれよりも大きいものである、第3の接合、および(d) 前記第3の接合への電気的接続、を含む光エミッター。

【0075】(3) 第2項記載の光エミッターであって、(a) 前記第1の接合がシリコン基板上にあって、前記第1の半導体材料がシリコンに格子整合している光エミッター。

【0076】(4) 第3項記載の光エミッターであって、(a) 前記第1、第2、および第3の半導体材料が、 $0 \leq X \leq 1$ および $0 \leq Y \leq 1$ とした時、 $Al_x Ga_{1-x} As_y N_{1-y}$ である光エミッター。

【0077】(5) 第2項記載の光エミッターであって、(a) 前記第1の接合が前記第2の接合の外へ広がっている光エミッター。

【0078】(6) 多色光エミッターアレイであって、(a) 多色光エミッターが行および列の形に配置されたアレイであって、前記光エミッターの各々が(i) 第1の色の光に対応するバンドギャップエネルギーを備えた第1の半導体材料を含む第1の接合、(ii) 第2の色の光に対応するバンドギャップエネルギーを備えた第2の半導体材料を含み、前記行および列に対して直交する方向で前記第1の接合を覆っている第2の接合であって、前記第2の半導体材料の格子が前記第1の半導体材料に整合しており、また前記第2の半導体材料のバンドギャップエネルギーが前記第1の半導体材料のそれよりも大きいものである、第2の接合、を含んでおり、更に(b) 前記多色エミッターの各々の前記第1および第2の接合への電気的接続、を含む光エミッターアレイ。

【0079】(7) 第6項記載のアレイであって、

(a) 前記電気的接続が行および列の導体を含んでいる光エミッターアレイ。

【0080】(8) ディスプレイであって、

(a) 人間の顔にフィットする寸法のサポート、

(b) 行および列の形に配置された多色光エミッターのアレイであって、前記人間の顔の目の前に設置するように前記サポートに取り付けられており、前記光エミッターの各々が、(i) 第1の色の光に対応するバンドギャップエネルギーを備えた第1の半導体材料を含む第1の接合、(ii) 第2の色の光に対応するバンドギャップエネルギーを備えた第2の半導体材料を含み、前記行および列に直交する方向で前記第1の接合を覆っている第2の接合であって、前記第2の半導体材料の格子が前記第1の半導体材料に整合しており、また前記第2の半導体材料のバンドギャップエネルギーが前記第1の半導体材料のそれよりも大きいものである、第2の接合、を含んでおり、更に

(b) 前記多色エミッターの各々の前記第1および第2の接合への電気的接続、を含むディスプレイ。

【0081】(9) 第8項記載のディスプレイであって、更に(a) 前記サポートへ取り付けられて、出力を前記アレイの入力へつながれた検出器を含むディスプレイ。

【0082】(10) 第9項記載のディスプレイであって、(a) 前記検出器の出力がビデオ録画装置へもつながれているディスプレイ。

【0083】(11) 第10項記載のディスプレイであって、(a) 前記検出器の出力が無線周波を介して前記ビデオ録画装置へつながれているディスプレイ。

【0084】(12) 第9項記載のディスプレイであって、(a) 前記検出器が赤外イメージャーであるディスプレイ。

【0085】(13) 多色検出器であって、(a) 基板上の画素のアレイであって、各画素が格子整合した半導体材料層のスタックを含み、第1層が第1の色に対応する第1のバンドギャップを有し、第2層が第2の色に対応する第2のバンドギャップを有する、画素アレイを含む多色検出器。

【0086】(14) 第13項記載の検出器であって、(a) 前記画素アレイが仮想フェーズ電荷結合デバイスを構成する検出器。

【0087】(15) スタティックディスプレイであって、(a) 基板上へ集積された画素のアレイであって、前記画素の各々が電流制御メモリセルと直列につながれた発光ダイオードを含んでいる画素のアレイを含むスタティックディスプレイ。

【0088】(16) 第15項記載のディスプレイであって、(a) 前記メモリセルが前記発光ダイオードを通る2段階の電流レベルだけを許容するようになったスタ

ティックディスプレイ。

【0089】(17) 第15項記載のディスプレイであって、(a) 前記基板がシリコンであり、そして(b) 前記発光ダイオードがシリコンに格子整合したIII-V化合物半導体を含んでいる、スタティックディスプレイ。

【0090】(18) 青、緑、および赤の光を放射する3個のLED510-520-530のスタック500が、シリコンに格子整合し、シリコン基板540の上に形成された窒化III-V化合物半導体材料を含むLEDを備えたフルカラーディスプレイ用の画素を提供する。シリコンの信号処理およびLEDドライバーの回路を同じシリコン基板上に作製することができ、それにより小型ですべてを内蔵したシステムが提供される。前記フルカラーディスプレイ上にレンズアレイを搭載することができ、観察者の目に極く接近して配置されたディスプレイとレンズアレイとの組み合わせによって単純で高分解能のディスプレイシステムが得られる。

【関連出願へのクロスリファレンス】本出願は1994年8月15日付けの米国特許出願第08/290, 275号の一部継続出願である。以下の同時譲渡された米国特許出願も関連する事項を開示している。1994年8月4日付けの第08/286, 067号、1993年10月29日付けの第08/145, 267号、1994年5月31日付けの第08/250, 976号、1991年5月23日付けの第07/704, 535号、1993年5月20日付けの第08/065, 087号、1993年6月21日付けの第08/048, 406号。

【図面の簡単な説明】

【図1】既知の共鳴トンネリングダイオードのバンドダイアグラム。

【図2】既知の共鳴トンネリングダイオードの電流-電圧特性図。

【図3】既知の共鳴トンネリングダイオードのバンドダイアグラムであって、aは電流の大きいバイアス状態、bは電流の小さいバイアス状態を示す図。

【図4】バンドギャップと格子定数を示す図。

【図5】フルカラーLEDスタックの好適実施例であって、aおよびbは断面図、cおよびdはフルカラーLED電流符号化の様子を示す図。

【図6】フルカラーLEDディスプレイの一部分の鳥瞰図。

【図7】表面が傾斜したフルカラーLEDスタック好適実施例であって、aはその断面図、bはアレイの平面図。

【図8】観察者に装着されたフルカラーLEDディスプレイの好適実施例図。

【図9】好適実施例の検出器-ディスプレイ組の模式図であって、aは鳥瞰図、bは回路図。

【図10】好適実施例の製造方法の工程を示す立面断面

図であって、aは層状の成長を行った段階、bはリフトオフで金属コンタクト528を形成した段階、cは層1008のところまでエッチングを行った段階、dはリフトオフで金属コンタクト536を形成した段階、eはリフトオフで金属コンタクト516、538を形成した段階、fは絶縁物を備えた相互接続ラインを形成した段階を示す図。

【図11】共鳴トンネリングダイオードの好適実施例図。

【図12】図11の実施例のバンドダイアグラム。

【図13】格子定数とバンドギャップを示す図。

【図14】共鳴トンネリングダイオードの別の好適実施例図。

【図15】図14の実施例のバンドダイアグラム。

【図16】好適実施例のダイオードを応用したメモリセルであって、aは回路図、bは電流-電圧特性、cは鳥瞰図。

【図17】マイクロレンズアレイの一部分であって、aは立面断面図、bは平面図。

【図18】光線の集束の様子を示す図。

【図19】光線の集束の様子を示す図。

【図20】光軸が傾いたマイクロレンズアレイの一部分の断面図。

【図21】別の方法で作成された、光軸が傾いたマイクロレンズアレイの一部分の拡大図。

【図22】検出器-ディスプレイ組の模式的ブロック図。

【図23】単一チップ式の検出器-ディスプレイ実施例を示す図。

【図24】検出器-ディスプレイの組を離れた装置へつなぐための無線周波リンク接続図。

【図25】その他のシリコンメモリセルデバイスと集積することによってスタティックディスプレイを構成するシリコン格子に整合したLEDの模式図であって、aは一般的なアナログメモリセルによる駆動回路、bはメモリセルと画素との組み合わせ、cはbの回路の電流-電圧特性、dはDRAMセルと画素との組み合わせを示す図。

【図26】3色CCD構造の立面断面図。

【図27】3色CCD構造のバンドダイアグラム。

【符号の説明】

- 500 スタック構造
- 510 青色発光ダイオード
- 512 p形層
- 514 n形層
- 516 金属コンタクト
- 520 緑色発光ダイオード
- 522 p形層
- 524 n形層
- 528 金属コンタクト

530	赤色発光ダイオード	1610	ビットライン
532	p形層	1612	ワードライン
534	n形層	1702	シリコン基板
536	金属コンタクト	1704	窒化シリコン絶縁物
538	金属コンタクト	1711	LEDスタック
540	シリコン基板	1712	LEDスタック
600	ディスプレイ	1713	LEDスタック
700	傾斜したLEDスタック	1730	マイクロレンズアレイ
710	青色LED	1731	マイクロレンズ
712	p形層	1732	マイクロレンズ
714	n形層	1733	マイクロレンズ
716	n+行コンタクト層	1741	光軸
720	緑色LED	1742	光軸
722	p形層	1743	光軸
724	n形層	1802	目のレンズ
726	n+行コンタクト層	1804	網膜
730	赤色LED	1810	ディスプレイ
732	p形層	1902	目のレンズ
734	n形層	1904	網膜
736	n+行コンタクト層	1910	ディスプレイ
810	レンズアレイ	2002	シリコン基板
820	ドライバおよびイメージ信号発生器	2004	窒化シリコン絶縁物
830	観察者	2010	レンズアレイ
900	検出器—ディスプレイ	2011	LEDスタック
1002	シリコンウエハ	2012	LEDスタック
1004	未ドーブシリコン	2013	LEDスタック
1006	n形GaAs0.81N0.19	2030	GRINマイクロレンズアレイ
1008	p形GaAs0.81N0.19	2031	GRINマイクロレンズ
1012	n形Al0.2Ga0.8As0.81N0.19	2032	GRINマイクロレンズ
1030	窒化シリコン層	2033	GRINマイクロレンズ
1032	共形窒化シリコン層	2041	光軸
1034	窒化シリコン層	2042	光軸
1100	共鳴トンネリングダイオード (RTD)	2043	光軸
1102	シリコンウエハ	2202	CCD検出器
1104	n+層	2204	アレイ
1106	未ドーブ層	2206	出力シフトレジスター
1108	トンネリング障壁	2208	出力センス増幅器
1110	量子井戸	2230	バッファおよび信号処理器
1112	トンネリング障壁	2252	ディスプレイ
1114	未ドーブ層	2254	ディスプレイアレイ
1116	n+層	2256	シフトレジスター
1118	金属コンタクト	2502	アナログメモリセル
1120	金属コンタクト	2504	電流源FET
1130	メサ	2506	LED
1400	共鳴トンネリングダイオード	2520	メモリセルと画素の組み合わせ
1600	SRAMセル	2522	LED
1602	共鳴トンネリングダイオード	2524	抵抗
1604	共鳴トンネリングダイオード	2526	共鳴トンネリングダイオード (RTD)
1606	ノード	2528	パストランジスタ
1608	FETパスゲート	2530	ノード

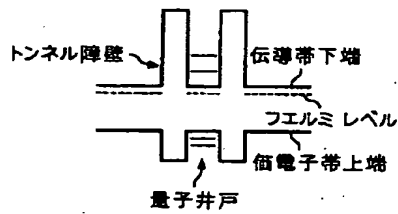
2542 セルコンデンサー

2544 FET

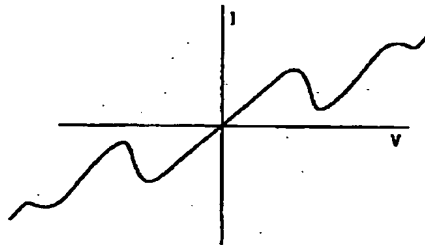
2546 LED

2548 パストランジスタ

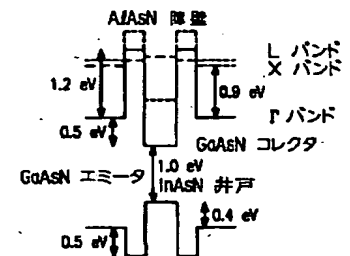
【圖 1】



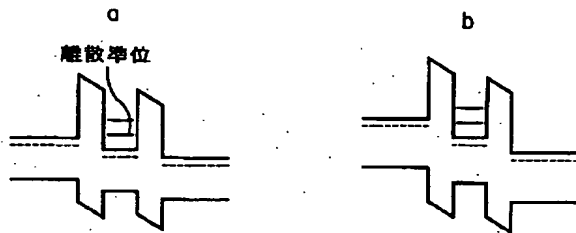
【図 2】



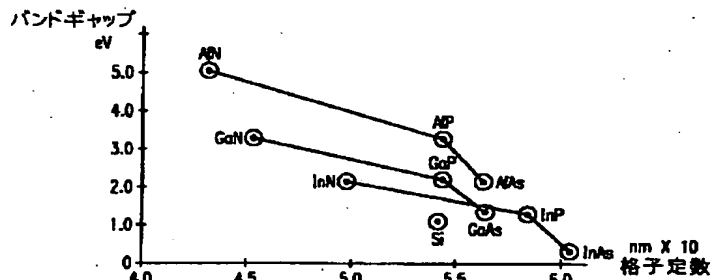
【图 1.2】



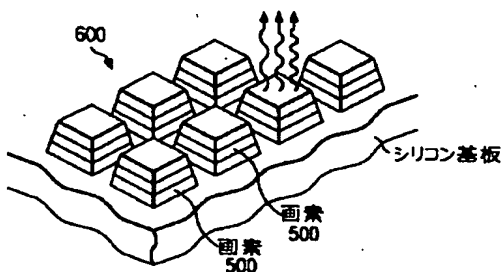
【図 3】



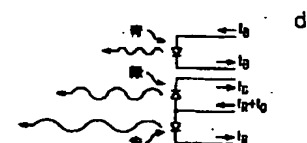
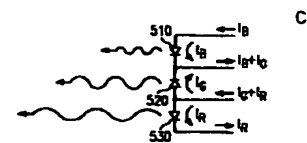
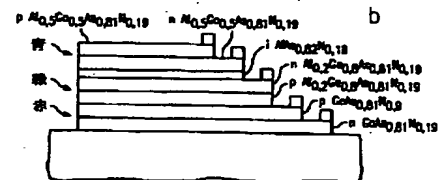
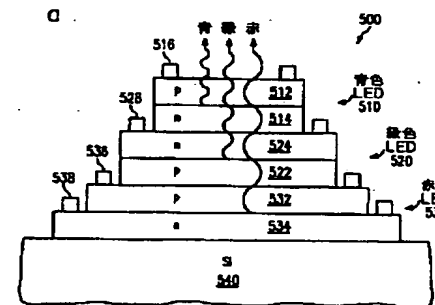
【图 4】



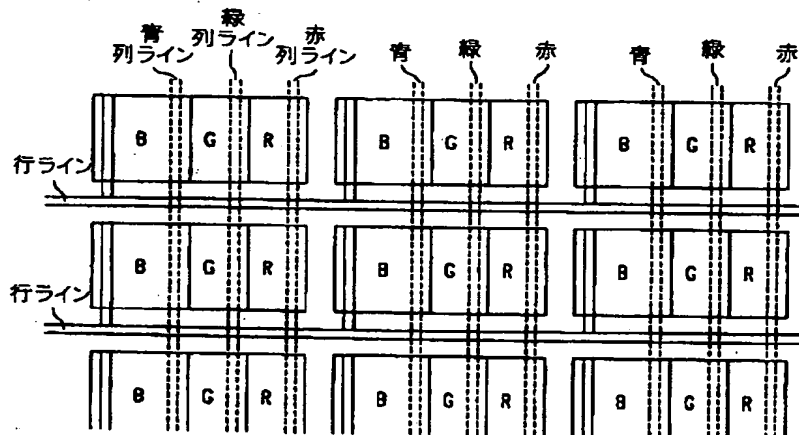
【图6】



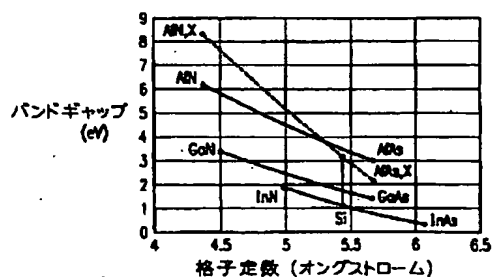
【图 5】



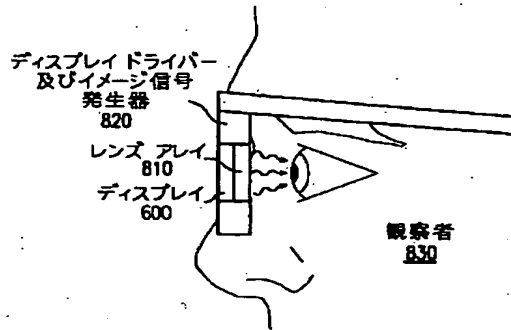
a



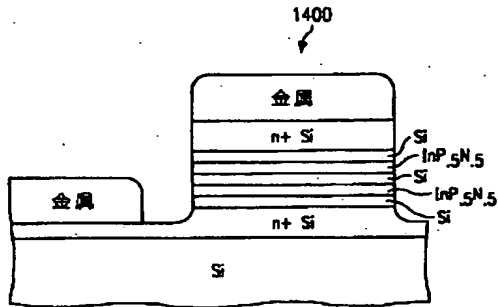
【图 13】



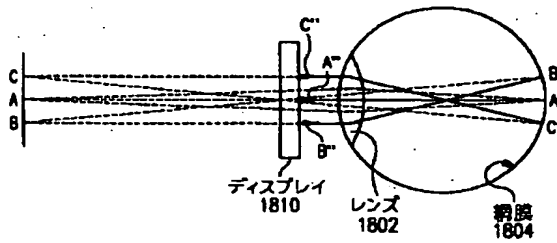
【図8】



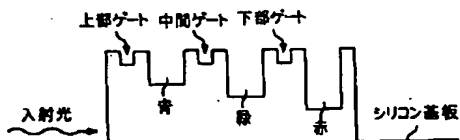
【図14】



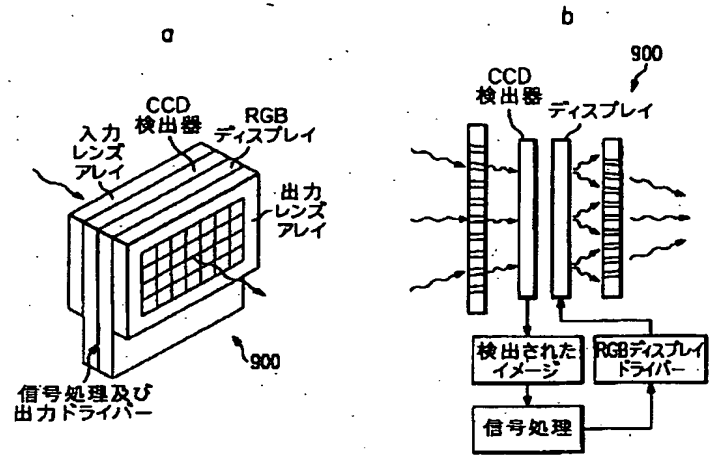
【図18】



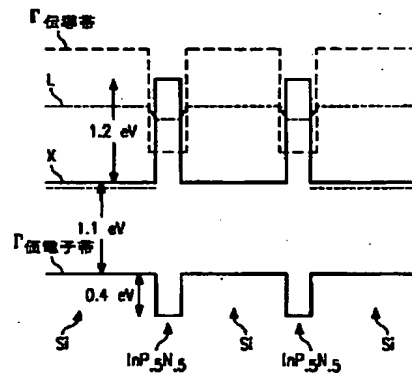
【図27】



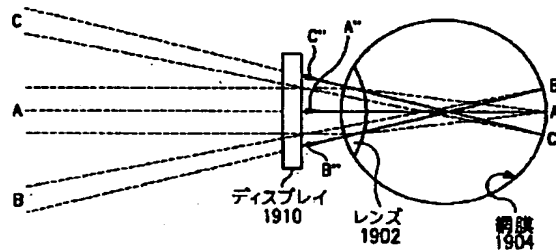
【図9】



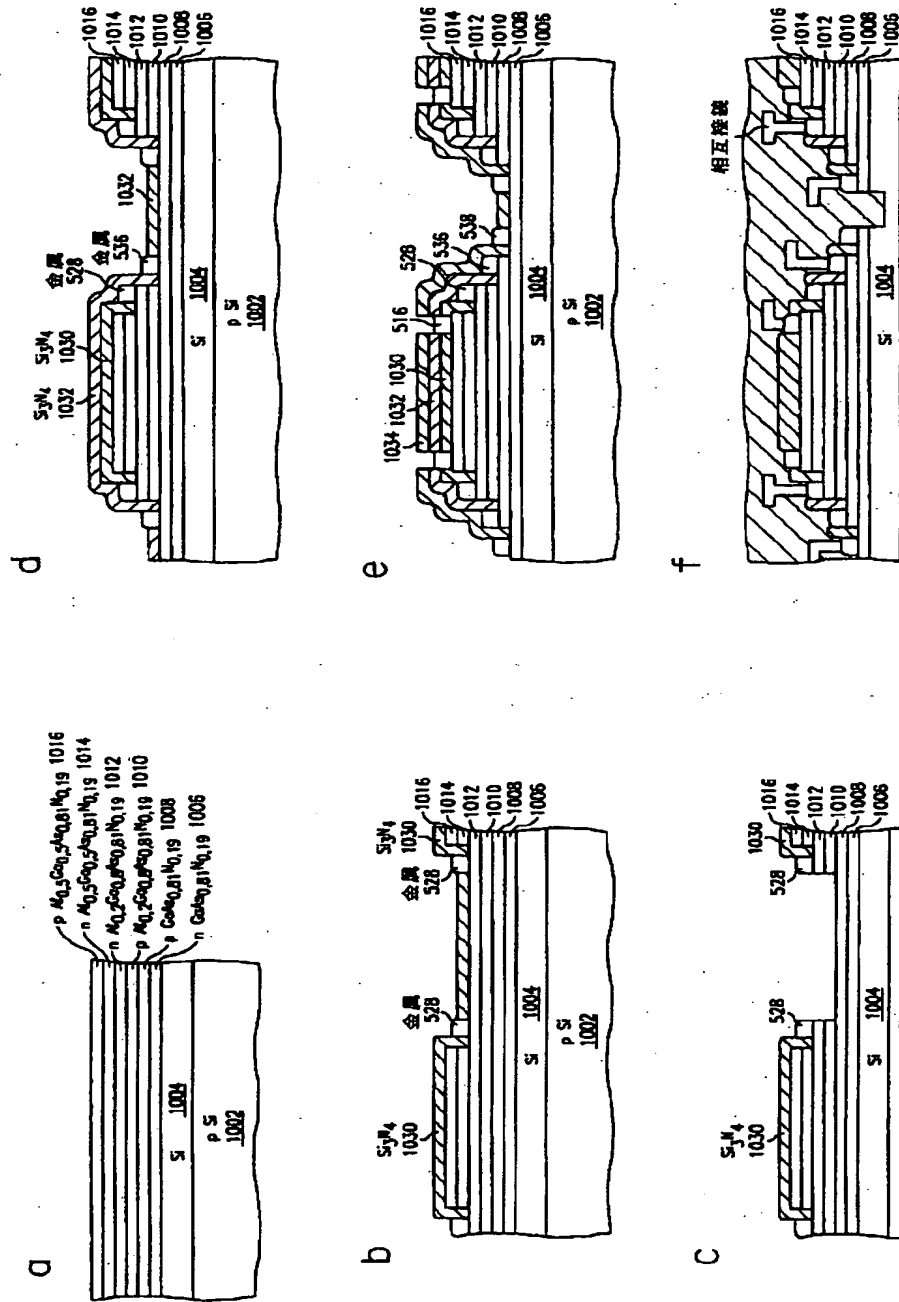
【図15】



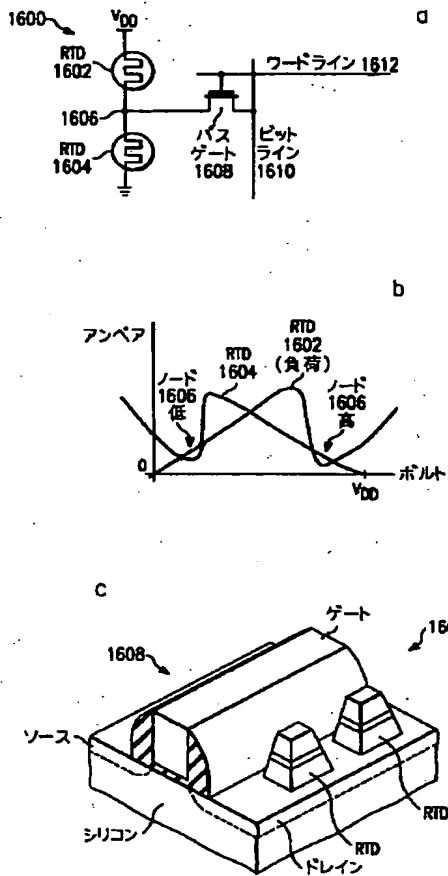
【図19】



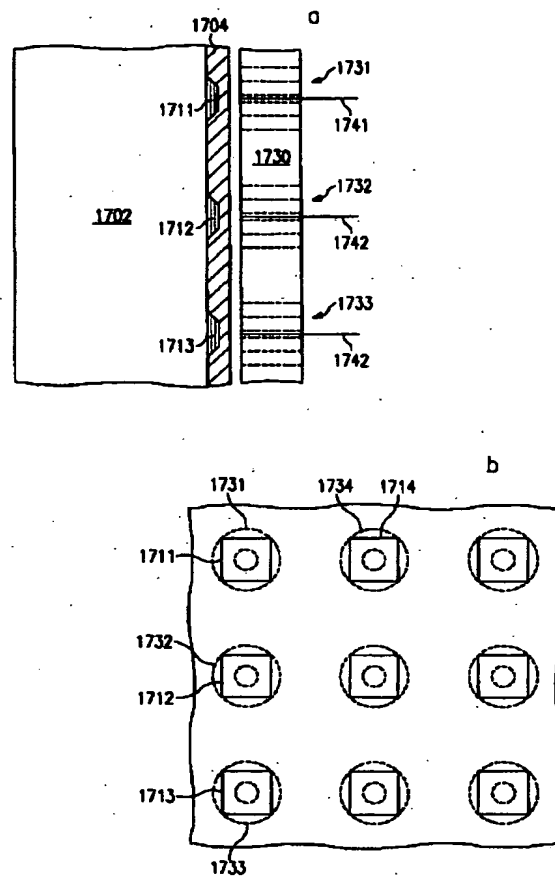
【図10】



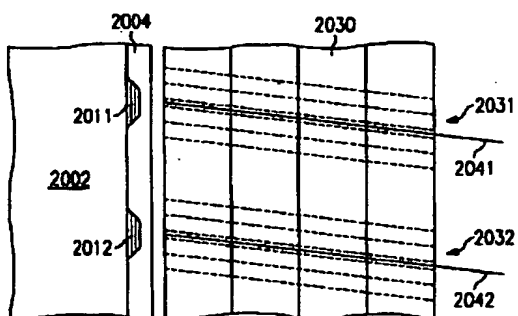
【図 16】



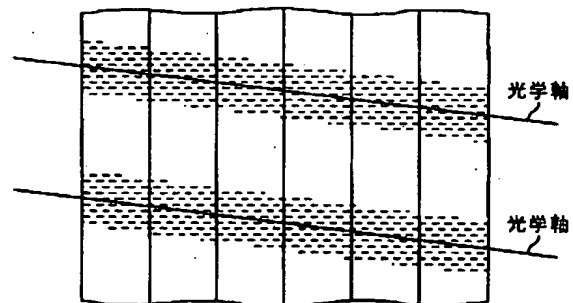
【図 17】



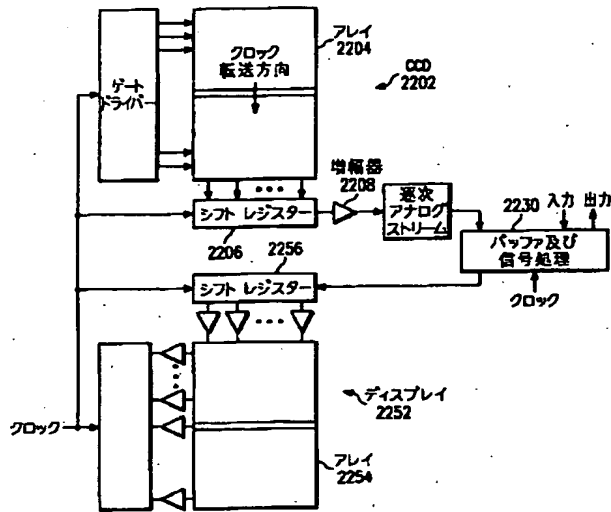
【図 20】



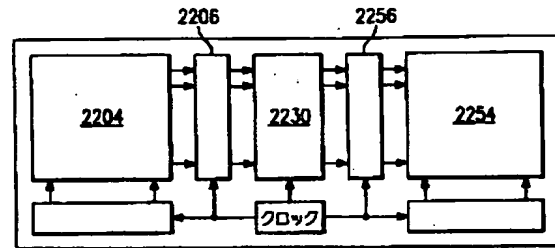
【図 21】



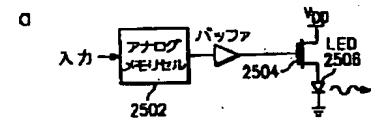
【図 22】



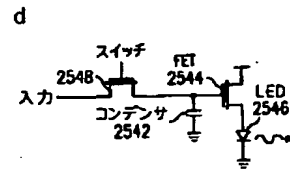
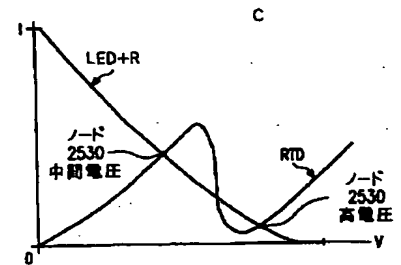
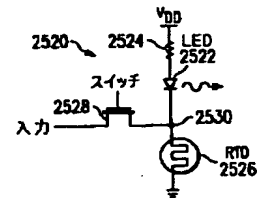
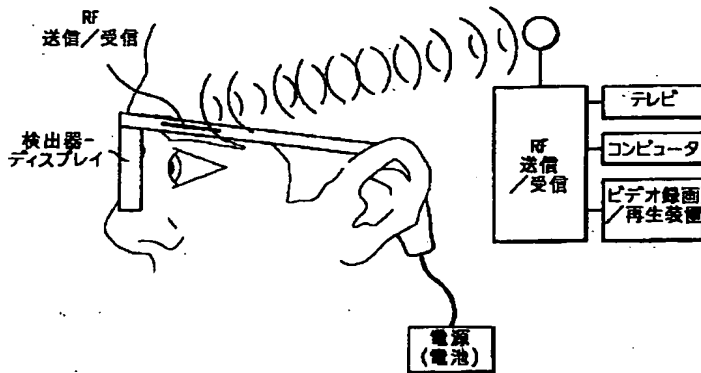
【図 23】



【図 25】



【図 24】



【図 26】

